

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-136357

(43)Date of publication of application : 01.06.1993

(51)Int.Cl.

H01L 27/092

(21)Application number : 03-158719

(71)Applicant : TEXAS INSTR INC <TI>

(22)Date of filing : 28.06.1991

(72)Inventor : HORNBECK LARRY J

(30)Priority

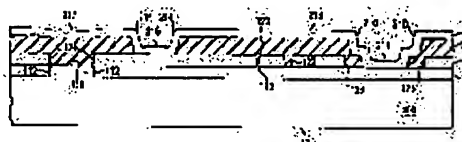
Priority number : 90 546331 Priority date : 29.06.1990 Priority country : US

(54) STRUCTURE FOR INTEGRATION OF DMD ON CONTROL CIRCUIT SUBSTRATE, AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To minimize the yield loss caused by the product grown by a CMOS process, and to lessen the parasitic coupling between a DMD and a CMOS.

CONSTITUTION: Before deposition of an electrode metal, a flattened organic spacer 20, which is spin-coated on CMOS address structures 11, 12 and 100, is formed. A contact aperture 211 and an electrode-supporting pole 215 are patternized on the spacer 20, and the spacer 20 is hardened at the temperature of 190 to 200° C. Furthermore, sidewalls 210 and 214, which are slightly tapered to the contact 211 and the supporting pole 215, are formed. The void between the leads 11 of a metallized layer is flattened, a small hill 110 is flattened, and the weakend upper protective oxide is split by a void. A pin hole 122 in the protective oxide is also split by the void. A sidewall 126 of the steep oxide of the protective oxide contact aperture 211 is replaced by a contact 210. The metallic electrode 21 is deposited and patternized on the deposition of the spacer 20.

**LEGAL STATUS**

[Date of request for examination] 22.05.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3154515

[Date of registration] 02.02.2001

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-136357

(43) 公開日 平成5年(1993)6月1日

(51) Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/092

7342-4M

H 0 1 L 27/08

3 2 1 B

審査請求 未請求 請求項の数 2 (全 7 頁)

(21) 出願番号 特願平3-158719

(22) 出願日 平成3年(1991)6月28日

(31) 優先権主張番号 5 4 6 3 3 1

(32) 優先日 1990年6月29日

(33) 優先権主張国 米国 (US)

(71) 出願人 590000879

テキサス インストルメンツ インコーポ
レイテッド

アメリカ合衆国テキサス州ダラス, ノース
セントラルエクスプレスウェイ 13500

(72) 発明者 ラリイ ジェイ. ホーンベック

アメリカ合衆国テキサス州パン アルスタ
イン, ボックス 162, ルート 1

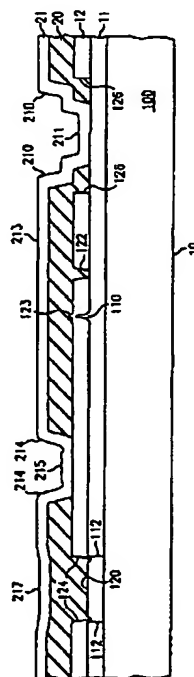
(74) 代理人 弁理士 浅村 皓 (外3名)

(54) 【発明の名称】 制御回路基板に対しDMDを集積するための構造およびその製造方法

(57) 【要約】 (修正有)

【目的】 CMOS工程生成物に原因する歩留り損を最小化しDMDとCMOSとの間の寄生結合を減殺する。

【構成】 電極金属堆積に先立ってCMOSアドレス構造100, 11, 12上にスピン塗布された平坦化有機スペーサ20から成る。スペーサ20にはコンタクト開口211, 電極支柱孔215がパターン化され、スペーサ20は190~200℃の高温でUV硬化される。さらにコンタクト211, 支柱215に対してややテーパした側壁210, 214が与えられる。メタライズ層のリード11間の空隙は平坦化される。小丘110は平坦化され、弱化された上部保護酸化物上には空隙による分離が実現される。空隙による分離は保護酸化物内のピンホール122上にも実施される。保護酸化物コンタクト開口211の急峻な酸化物の側壁126はスペーサ20の傾斜したコンタクト210によって置換される。金属電極21はスペーサ20の堆積のあとに堆積されパターン化される。



【特許請求の範囲】

【請求項1】 集積半導体基板をその上に電気機械的デバイスを構成するために平坦化する方法であって、平坦化有機液体材料から成る第1スペーサを前記基板を被覆するようにスピニング塗布する段階と、前記電気機械的デバイスの第1支柱および電極を形成するために前記第1スペーサをパターン化し硬化せしめる段階と、前記電極を前記第1スペーサ上に形成する段階と、平坦化有機液体材料から成る第2スペーサを前記電極を被覆するようにスピニング塗布する段階と、前記電気機械的デバイスの機械的部分に対する第2支柱を形成するために前記第2スペーサをパターン化し硬化せしめる段階と、前記第2スペーサ上に、前記第2支柱によって支持される複数の機械的素子を形成する段階と、前記第1および第2スペーサを除去する段階と、を含む、集積半導体を平坦化する方法。

【請求項2】 平坦化された集積半導体基板上に構成された選択的に可動な機械的部分を有する電気機械的デバイスであって、前記基板を被覆する平坦化有機液体材料から成るスピニング塗布された第1スペーサであって前記電気機械的デバイスの電極を支持するための第1支柱を含む該第1スペーサと、前記電極を被覆する平坦化有機液体材料から成るスピニング塗布された第2スペーサであって、前記電気機械的デバイスの前記機械的部分を支持するための第2支柱を含む第2スペーサと、前記第2スペーサ上に前記第2支柱により支持された複数の機械的素子を形成することと、前記第1及び第2スペーサを除去することにより前記機械的部分を前記基板に対して可動成らしめることと、を含む、電気機械的デバイス。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、可変形鏡デバイスに関し、特に制御回路基板と共に可変形鏡デバイスを形成するための装置に関する。

【0002】

【従来の技術】 下記の特許出願は、相互に参照されている関連出願であり、全てがTexas Instruments Incorporatedを権利者としている。これらの出願は同時に提出されたものである。

代理人事件整理番号

TI-14568 Multi-Level Deformable Mirror Device
TI-14643 Improved Bistable DMD Addressing Circuit and Method

TI-14649 Improved Architecture and Process for Integrating DMD with Control Circuit Substrates

TI-14715 Field Updated Deformable Mirror Device

なお、そのほかの参考文献として、以下のものがある。

TI-13173A 1989年5月15日出願の第355,049号「Spatial Light Modulator and Method」

TI-14481 1989年9月14日出願の第408,355号「Spatial Light Modulator and Method」

米国特許第4,662,746号

1987年5月5日付「Spatial Light Modulator and Method」

米国特許第4,566,935号

1986年1月28日付「Spatial Light Modulator and Method」

米国特許第4,615,595号

1986年10月7日付「Frame Addressed Spatial Light Modulator」

【0003】 上記の同時係属出願である「Spatial Light Modulator」(TI-13173A)と題する米国特許出願の対象は、双安定可変形鏡デバイス(DMD)である。このデバイスは、例えば高精細度テレビジョン(HDTV)用の投射光弁などとしての多くの用途に用いられる。そのような装置においては、1.8メガ画素というような大きさのDMD画素アレイが必要となり、その下部にあるCMOSアドレス回路によってアドレスされる。

【0004】 開発経費を最小化し、チップの歩留りを最大化するためには、十分に確立された、生産試験済みのCMOS技術を選択することが重要である。CMOSウェハの大量生産業者は、CMOS工程を特定の使用者の注文に応じて構成することを好まない。そのため、上部DMD構造は、CMOS工程に対し特殊な要求をする必要のないものにしなければならない。

【0005】 残念ながら、上部DMD構造の歩留り損を生ぜしめる、CMOSの多レベルメタライズ工程におけるいくつかの工程生成物が存在する。これらの生成物には、アルミニウムの小丘、保護酸化物のピンホール、非平坦チップ表面、および急峻な側壁角を有する保護酸化物コンタクトが含まれる。

【0006】 DMDデバイスの例は、前記の1989年5月15日出願の「Spatial Light Modulator」と題する特許出願、TI-13173A、に示されている。この出願に示されているように、DMDデバイスは、梁に対して、または制御電極に対し

て、またはその双方に対して、印加される制御電圧により、着地パッドすなわち着地電極に接触するように変形、または旋回せしめられる梁の反射面を有する。

【0007】アルミニウムの小丘は、保護被覆酸化物に弱い場所を生ぜしめる可能性があり、そのためにDMD装置のアレイに必要な高電圧のリセットパルスが上部の着地電極に印加された時に絶縁破壊が起こりうる。

【0008】もう1つの問題は、前記小丘は電極金属によって複製され、小丘がDMDアドレス制御電極下にある時には、DMDねじれ梁がこれらの小丘上に着地し、アドレス電極を梁に対して短絡させることである。小丘が着地電極下にある時は、梁は完全な偏向角まで回転するのを妨げられ、従って変形梁の明暗効果が減殺される。

【0009】また、保護酸化物内のピンホールは、電極金属とCMOSの最後のメタライズ層との間の短絡の原因となるので、良質デバイスの歩留りを低減せしめると共に、デバイスの予定寿命を減少せしめる。

【0010】電気回路を含むCMOSの最後のメタライズ層は平坦化されないで保護酸化物内に段差を生じ、そのため電極金属は異方性プラズマエッチングによってエッチングされる時残留フィラメントを生じる可能性がある。従って、これらのフィラメントは、近隣の電極間の短絡の原因となる。

【0011】最後に、標準的CMOS工程においては保護酸化物コンタクトは傾斜をもった側壁を有するようにはエッチングされず、ほぼ垂直になりやすい。このため、電極金属はコンタクト内まで下降して十分に段差を被覆しうようにはなりにくい。

【0012】

【発明が解決しようとする課題】従って、典型的なCMOS上の生成物の影響を受けない、CMOSと一体的に構成されるDMDデバイスが、本技術分野においては要求される。

【0013】

【課題を解決するための手段】CMOS上の生成物の影響を受けない改変された上部DMD構造は、電極金属の堆積に先だって、CMOSアドレス回路上に平坦化のための第1有機スペーサ（通常厚さ0.5 μ m）をスピン塗布することによって得られる。コンタクト開口および電極支柱孔は、この第1スペーサ内にパターン化され、このスペーサは次に、通常は180℃である次のレベルのスペーサの硬化温度より10℃ないし20℃高い温度まで強くUV硬化される。第1スペーサは、良好な金属段差被覆の実現のため、コンタクトおよび支柱に対しややテーパした側壁を与えるように硬化せしめられる。

【0014】従来のDMD工程は、以下の諸段階から成る。まず、電極金属が堆積され、パターン化された後、第2スペーサの堆積および支柱孔のパターン化が行なわれる。次に、第2スペーサの表面上に金属層を堆積しバ

ターン化することにより、ヒンジおよび梁の金属パターンが形成される。最後に、プラズマ下部切断により、可撓梁素子の下部に空隙が形成される。梁のプラズマ下部切断中に、第1スペーサおよび第2梁すなわち支持スペーサは除去される。プラズマ下部切断により、電極と下部のCMOSアドレス回路との間に空隙が形成される。この電極は、コンタクトと電極支柱とによって支持される。

【0015】CMOS工程の生成物上のスペーサの効果は、CMOSの最後のメタライズ層のリード間の空隙を平面化することである。小丘は平面化され、空隙による分離は弱体化された上部保護酸化物上に実現される。空隙による分離は、保護酸化物内のピンホール上にも実現される。最後に、保護酸化物コンタクトの急峻な酸化物側壁は、スペーサの傾斜コンタクトによって置換される。

【0016】上記改変された上部DMD構造には、さらに他の利点もある。着地電極はアドレス回路から空気によって分離されているので、高速立上り時間の高電圧リセットパルス列の下部アドレス回路への寄生結合を減殺することができる。この結合は、もし抑制されなければ、アドレストランジスタのゲート上に電圧スパイクを生じることによって、誤った時点にトランジスタを瞬間的にオン状態にすることがありうる。

【0017】最後に、アドレス電極は空気によって分離されるので、キャパシタンスが減殺される。従って、この改変された上部DMD構造によれば、梁ではなくアドレス電極が電荷アドレッシングされるフレームアドレス形DMDが形成されうる。

【0018】前述のようにスペーサ層を追加することによる1つの技術的利点は、新構造によってCMOS工程生成物に原因する歩留り損が最小化され、DMDとCMOSとの間の寄生結合が減殺され、さらに電荷アドレッシングされるDMDの別の構成が得られることである。

【0019】

【実施例】本発明およびその諸利点を、添付図面を参照しつつ以下に詳述する。図1は、典型的なCMOS工程生成物がどのようにして上部DMD構造の歩留りを減少せしめるかを示す。これらの生成物には、アルミニウム小丘110、保護酸化物12内のピンホール122、非平坦チップ表面、および急峻な側壁126を有する保護酸化物コンタクト、が含まれる。

【0020】図2には、これらの生成物をなくす改変された上部DMD構造が示されている。それは、電極金属堆積に先立ってCMOSアドレス構造100、11、および12上にスピン塗布された（通常0.5 μ mの厚さの）平坦化有機スペーサ20から成る。このスペーサは、電極と梁との間に形成される従来のDMDスペーサとは異なる。スペーサ20にはコンタクト開口211および電極支柱孔215がパターン化され、またこのスペーサは、通常180℃であるDMDスペーサの硬化温度

よりも10℃ないし20℃高温の温度まで強くUV硬化される。この硬化計画は、良好な金属段差被覆を実現するために、コンタクト211および支柱215に対して、ややテーパした側壁210、214を与えるように選択される。

【0021】CMOSの最後のメタライズ層のリード11間の空隙112は平坦化217される。小丘110は平坦化され、弱化された上部保護酸化物上には空隙による分離が実現される。空隙による分離は、保護酸化物のピンホール122上にも実現される。最後に、保護酸化物コンタクト開口211の急峻な酸化物の側壁126は、スペーサ20の傾斜したコンタクト210によって置換される。電極金属21は、スペーサ20の堆積の後に堆積されパターン化される。

【0022】改変された上部DMD構造には、さらに他の利点がある。着地電極はアドレス回路から空気によって分離されているので、下部アドレス回路に対する高速立上り時間の高電圧リセットパルス列の寄生結合が減殺される。この結合は、もし抑制されなければ、アドレstransistのゲート上に電圧スパイクを生じることによって、誤った時点にトランジスタを瞬間的にオン状態にすることがありうる。

【0023】最後に、アドレス電極は空気によって分離されるので、キャパシタンスが減殺される。従って、この改変された上部DMD構造によれば、梁ではなくアドレス電極が電荷アドレッシングされるフレームアドレス形DMD（米国特許第4,615,595号）が形成される。

【0024】次に、図3に示されているように、スペーサ30が電極上にスパイン堆積され、梁支柱309を形成するための孔をパターン化される。スペーサ30は、ねじれ梁の角偏向を決定し、通常2.3μmの厚さを有し、ボジ形ホトレジストである。スペーサ30は温度180℃まで強くUV硬化され、それによって後の工程段階における流動および発泡が防止される。スペーサ20はもっと高い温度（200℃）まで硬化されているので、この焼成中にスペーサ20の劣化は起こらないことに注意すべきである。最後に、前述の米国特許第4,662,746号に示されている堆積およびパターン化工程により、スペーサ30上に薄いヒンジ310および厚い梁311が形成される。

【0025】これによって、ウェハレベルにおける工程は完了する。これらのウェハは次にPMMAによってコーティングされ、個々のチップに切断されて、クロルベンゼンによりパルススパイン洗浄される。最後に、これらのチップはプラズマエッチングチャンバ内に置かれ、そこで双方のスペーサ層20および30が完全に除去されて、図4に示されているようにヒンジおよび梁の下部に空隙が形成される。

【0026】以上においては、本発明を上述の特定の

施例に関して説明してきたが、本発明の範囲は特許請求の範囲によって限定されるものであり、以上の説明によって限定されるものではない。以上に開示された実施例のさまざまな改変および本発明の別の実施例は、本発明の技術分野に精通した者にとっては、以上の説明から明らかである。従って、特許請求の範囲は、本発明の真の範囲内に属するそのような改変を含むようにされている。

【0027】

10 【発明の効果】要するに、この新しい構造によれば、CMOS工程生成物に原因する歩留り損が最小化され、DMDとCMOSとの間の寄生結合が減殺され、さらに電荷アドレッシングされる別の構造が得られる。

【0028】以上の説明に関して更に以下の項を開示する。

(1) 集積半導体基板をその上に電気機械的デバイスを構成するために平坦化する方法であって、平坦化有機液体材料から成る第1スペーサを前記基板を被覆するようにスパイン塗布する段階と、前記電気機械的デバイスの第1支柱および電極を形成するために前記第1スペーサをパターン化し硬化せしめる段階と、前記電極を前記第1スペーサ上に形成する段階と、平坦化有機液体材料から成る第2スペーサを前記電極を被覆するようにスパイン塗布する段階と、前記電気機械的デバイスの機械的部分に対する第2支柱を形成するために前記第2スペーサをパターン化し硬化せしめる段階と、前記第2スペーサ上に、前記第2支柱によって支持される複数の機械的素子を形成する段階と、前記第1および第2スペーサを除去する段階と、を含む、集積半導体を平坦化する方法。

30 【0029】(2) 前記除去段階が、前記集積半導体基板のある部分と前記形成された電極との間、および該形成された電極のある部分と前記形成された機械的素子との間に、機械的空隙を生ぜしめる、第1項記載の方法。

【0030】(3) 前記基板が、前記平坦化液体をスパイン塗布される通常の頂部酸化物または窒化物保護被覆を有するCMOS基板である、第2項記載の方法。

40 【0031】(4) 集積回路を含み通常の頂部酸化物または窒化物被覆を形成されたCMOS基板であって、該基板の該頂部被覆が小丘、ピンホール、急峻な側壁を有するコンタクト領域、および非平坦表面などの生成物を含む前記CMOS基板の平坦化の方法であって、前記頂部被覆を被覆する平坦化材料をスパイン塗布する段階と、前記頂部被覆と物理的に接触する支柱の形成を可能ならしめるように前記平坦化材料をパターン化する段階と、ある第1温度に耐えうように前記平坦化材料を硬化せしめる段階と、前記硬化された平坦化材料の頂部上に、前記頂部被覆と物理的に接触する支柱を含む第1機械的構造を形成する段階と、該機械的構造の前記支柱が前記頂部被覆に接触する場所以外の、該頂部被覆と前記形成された第1機械的構造との間に機械的空隙を残すために

(5)

特開平5-136357

7

前記硬化せしめられた平坦化材料を除去する段階と、を含むCMOS基板の平坦化の方法。

【0032】(5) 平坦化された集積半導体基板上に構成された選択的に可動な機械的部分を有する電気機械的デバイスであって、前記基板を被覆する平坦化有機液体材料から成るスピン塗布された第1スペーサであって前記電気機械的デバイスの電極を支持するための第1支柱を含む該第1スペーサと、前記電極を被覆する平坦化有機液体材料から成るスピン塗布された第2スペーサであって、前記電気機械的デバイスの前記機械的部分を支持するための第2支柱を含む第2スペーサと、前記第2スペーサ上に前記第2支柱により支持された複数の機械的素子を形成することと、前記第1および第2スペーサを除去することにより前記機械的部分を前記基板に対して可動ならしめることと、を含む、電気機械的デバイス。

【0033】(6) 前記基板が、前記平坦化スペーサをスピン塗布される通常の頂部酸化物または窒化物保護被覆を有するCMOS基板である、第5項記載のデバイス。

【0034】(7) HDTV用のDMD投射光弁は、下部CMOSアドレス回路の頂部126上に高い歩留りで上部DMD構造213を集積することを含むさまざまな製造上の諸要求を有する。CMOSチップの表面は、上

8

部DMD構造の歩留りを減少させる可能性のあるいくつかの工程生成物110および124を含む。これらのCMOSの生成物を原因とする歩留り損を最小化し、また下部のCMOSアドレス回路に対する高電圧リセットパルスの寄生結合を減殺する、改変されたDMD構造およびその製造方法が開示されている。

【図面の簡単な説明】

【図1】 CMOSの生成物を示す基板の断面図。

【図2】 CMOSの生成物の影響を減殺するために追加されたスペーサと、上部電極とを示す基板の断面図。

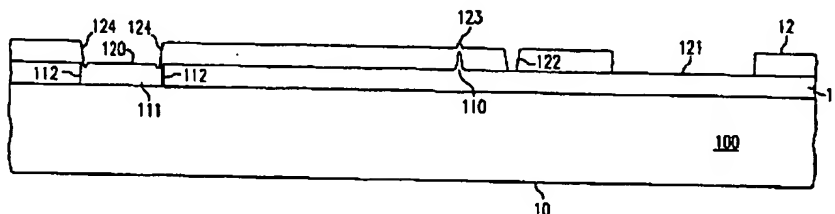
【図3】 スペーサの除去前の完成構造を示す断面図。

【図4】 スペーサの除去後の完成構造を示す断面図。

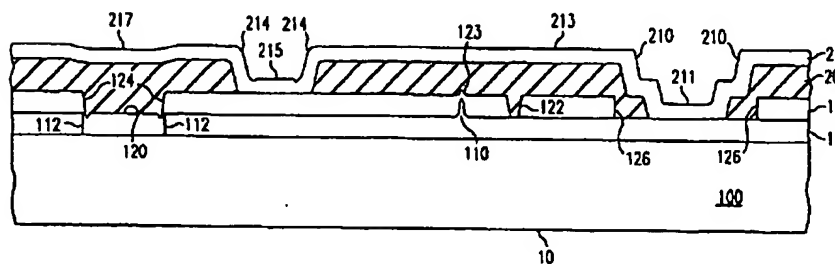
【符号の説明】

- 11 リード
- 12 保護酸化物
- 20 スペーサ
- 21 電極金属
- 30 スペーサ
- 100 CMOSアドレス構造
- 215 電極支柱
- 309 梁支柱
- 310 ヒンジ
- 311 梁

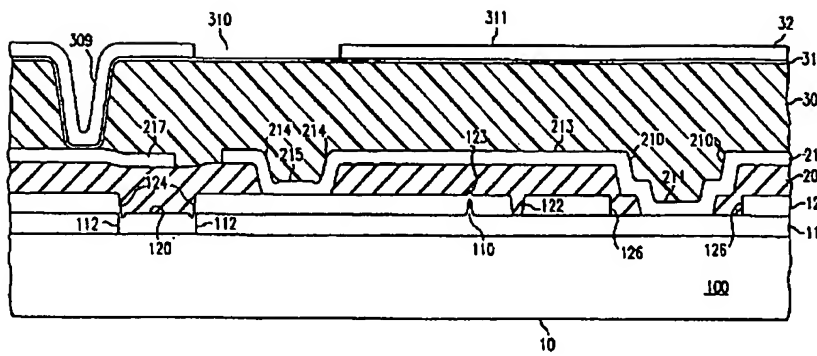
【図1】



【図2】



【図3】



【図4】

